



PAJ 1976 to 1993





Your search statement: Words anywhere: "@PN='60222825'"
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 60222825 A (43) Date of publication: 19851107

(51) int. Cl : G02F001-133  
(ICS) G09G003-36

(71) Applicant:
CITIZEN WATCH CO LTD

(72) Inventor:
SEKIYA FUKUO
SHIMIZU HIROSHI

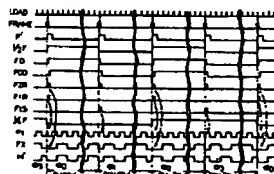
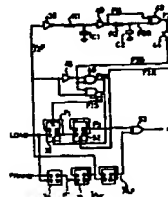
(21) Application Information:
19840420 JP 59-79777

DRIVING SYSTEM FOR LIQUID CRYSTAL MATRIX DISPLAY PANEL

(57) Abstract:

PURPOSE: To eliminate dependency of the effective value of the voltage to be impressed to a liquid crystal on a display pattern and to enable display with high quality by determining the four horizontal scanning periods of the AC-conversion signal for controlling the polarity inversion of an electric field as one cycle and changing potential at every two horizontal scanning periods.

CONSTITUTION: Signals $\phi^* 2$, $\phi^* 3$ are the inversion signals of signals $\phi^* 0$, $\phi^* 1$ and are therefore obtd. by inversion after formation of the signals $\phi^* 0$, $\phi^* 1$. The phase state of the signal $\phi^* 0$ and the phase state of the signal $\phi^* 1$ appear to the signal F2 at every one frame and when the phase of the signal $\phi^* 0$ appears in the $(4N)-$ th frame, an FF30 is set at the beginning of the $(4N+1)-$ th frame and the signal F1 rises to H, thus attaining the equivalence to the advance of the counter value of the FFs 30, 31 by 1. Then the signal F2 advances in



phase by 1H and has the same phase as the phase of the signal ϕ_1 . The phase state of the signal ϕ_0 is similarly attained in the $(4N+2)$ -th frame and the phase state of the signal ϕ_1 is attained in the $(4n+3)$ -th frame. The phase states of the signals ϕ_0 , ϕ_1 , ϕ_3 , ϕ_4 are thus obtained by inverting the signal F2 at every two frames and therefore the AC-conversion signal at which the phase states of the signals ϕ_0 , ϕ_3 appear successively is obtained by inputting the signal F2 and $1/4F$ signal to a gate 52.

CD-Volume: MIJP007GPAJ JP 60222825 Copyright:
A1 001

PAJ Result

End Session



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-222825

⑬ Int.Cl.⁴

G 02 F 1/133
G 09 G 3/36

識別記号

1 2 9

庁内整理番号

7348-2H
7436-5C

⑭ 公開 昭和60年(1985)11月7日

審査請求 未請求 発明の数 1 (全 8 頁)

⑮ 発明の名称 液晶マトリクス表示パネルの駆動方式

⑯ 特 願 昭59-79777

⑰ 出 願 昭59(1984)4月20日

⑱ 発 明 者 関 矢 福 雄 田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

⑲ 発 明 者 清 水 博 所沢市大字下富字武野840 シチズン時計株式会社技術研究所内

⑳ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

液晶マトリクス表示パネルの駆動方式

2. 特許請求の範囲

複数体のX軸電極線と、該X軸電極線と交差する複数本のY軸電極線と、前記X軸電極線と前記Y軸電極線とによって挟まれる液晶とを有する液晶表示パネルを用い、前記X軸電極と前記Y軸電極とを選択して所要の液晶に電界を印加し情報を表示させ、該電界の極性を所定の周期で反転させることにより液晶を交流駆動する液晶マトリクス表示パネルの駆動方式において、電界の極性反転は交流化信号によって制御され、該交流化信号は4水平走査期間を1周期とし2水平走査期間毎に電位が変化することにより、液晶への印加電界の極性は2水平走査期間毎に反転して成り、前記交流化信号は互いに1水平走査期間ずつ位相のずれた4つの位相状態を持ち、該各位相状態が、4水平走査期間以上の所定の時間ずつ、順次周期的に現れることを特徴とする液晶マトリクス表示パネ

ルの駆動方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶マトリクス表示パネルの駆動方式に関する。

〔発明の背景〕

近年情報機器表示端末として液晶マトリクス表示パネルが多く用いられるようになり、該パネルの高密度表示化の要求が強くなっている。液晶マトリクス表示パネルの高密度表示化は必然的に表示品質の低下を伴うため、駆動方式の面からも表示品質の改善のための新方式が求められている。

〔従来技術と問題点〕

液晶マトリクス表示パネルの駆動方式として従来から良く知られているのは、特公昭56-

44438で述べられている2つの方式である。

第1図に示すのは、1水平走査期間(以下1Hと略記する)に1回液晶への印加電圧を反転するいわゆるA波形と呼ばれている駆動波形によって液晶に印加される電圧を示した図である。

図においては液晶マトリクス表示パネルが高密度化されることに伴う液晶容量の増加、液晶セル内での電極抵抗値の増大を考慮して波形になまりを持たせてある。A波形は液晶の交流化周波数が高いため液晶の充放電電流、駆動用ICでの消費電流が共に大きいこと、第1図の1₁で示すタイミングに現れる選択波形が1H内で反転しているため波形なまりの影響を2回受け駆動マージンの低下につながることで、全体に波形なまりの影響を強く受けるので印加電圧の実効値が低下し駆動のための電圧が上昇してしまい駆動用ICの耐圧をオーバーしてしまうこと等の欠点があり、高密度液晶パネルではほとんど用いられていない。

第2図はフレーム毎に液晶への印加電圧を反転するいわゆるB波形によって液晶に印加される電圧を示した図で、第2図(イ)はY軸に属する液晶の各ドットの表示パターンが黒白黒白の繰り返しである場合、第2図(ロ)は表示パターンが全部黒の場合である。

現在、表示端末用液晶マトリクス表示パネルの

ほとんどはB波形で駆動されているが、パネルが急速に高密度化され1/100 dutyで駆動される640×200ドット構成のようなパネルにおいては、非常に困った問題が生じている。それは第2図の(イ)の波形と(ロ)の波形で明らかに印加される電圧の実効値が異なるということである。(イ)の場合は非選択タイミング1₂時での電圧変化の回数が多いための波形なまりによる印加電圧実効値の減少が顕著であるのに対し、(ロ)の場合は列全体が同一パターンであるため波形の変動がなく、印加電圧実効値の減少がない。その結果、第3図に示すFのパターンを縦に並べて表示したとすると、SEG2~4の列は黒白の変化数が多いため薄く、SEG1の列は変化がないため濃く表示される。かくして均一であるべき表示の背景面に目立った縦のしまが観測されてしまう。

この問題を解決するための提案として、

[SID Japan Display '83-The 3rd International Display Research Conference Post-Deadline Papers

PD5]がある。

この提案では複数の水平走査期毎に液晶への印加電圧の極性反転を行なうことにより、複数フレームの期間の平均値として液晶印加実効電圧の表示パターン依存性を取り除こうというもので、前記paperのFig.1 Kは3H毎に交流反転する場合の表が記載されている。しかしながら3H毎の交流反転ではかなりの平均化効果は認められるものの未だに完全に表示パターン依存性を取り去り得ていないことと、平均化のために必要な時間がやや長すぎるという問題が残されている。なおこの提案と本発明との比較は後の説明で詳しく行なう。

(発明の目的)

本発明の目的は液晶への印加電圧実効値の表示パターン依存性をなくすことにより、高品質の表示を可能にする液晶マトリクス表示パネル駆動方式を提供することである。

(発明の構成)

上記目的を達成するため本発明においては、液晶への印加電界の極性反転を制御する交流化信号

を周期4H、duty50%とすることで液晶への印加電界極性反転を2H毎に行なっている。さらに周期4Hの交流化信号には位相を1Hずつずらすと4通りの位相状態が存在するが、該各位相状態を所定の時間ずつ順次周期的に現出させている。このように構成すると4通りの位相状態が一順した段階で表示パターンによる影響がすべて平均化され、どのような表示パターンの時でも液晶への印加電圧実効値が等しくなり、その結果均一な高品質の表示が得られる。

(発明の実施例)

以下、図面に基づいて本発明の説明を行なう。

第4図は液晶マトリクス表示パネル駆動システムを説明する図である。

第4図において、2は液晶マトリクス表示パネルで、Y軸電極線 $Y_1 \sim Y_{100}$ とX軸電極線 $X_1 \sim X_{100}$ とによって上面、Y軸電極線 $Y_1 \sim Y_{100}$ とX軸電極線 $X_1 \sim X_{100}$ とによって下面とを構成するいわゆる単純マトリクス上下出し方式によって1/100 duty、640×200

ドット表示を行なう。

4、6はそれぞれY軸電極線($Y_1 \sim Y_{100}$)、($Y'_1 \sim Y'_{100}$)を駆動するセグメントドライバ、8、10はそれぞれX軸電極線($X_1 \sim X_{100}$)、($X'_1 \sim X'_{100}$)を駆動するコモンドライバ、12はマイクロコンピュータ等から必要な情報を受けとってコモンドライバ8、10、セグメントドライバ4、6へ駆動のための信号を送るコントローラ、14は駆動に必要な電圧を与える電源回路である。

コントローラ12からは上面面用表示データDATA1、下面面用表示データDATA2が送出され、該データはクロックパルスCPによってセグメントドライバ4、6内のシフトレジスタに順次入力される。クロックパルスCPが640発出力されてセグメントドライバ内のシフトレジスタに1行分のDATAが整列し終ると第5図(イ)に示すようにLOAD信号が出力され、該信号によってDATA信号はセグメントドライバ内のメモリに記憶される。セグメントドライバは

記憶されたデータに基づいて出力端子 $O_1 \sim$

O_{100} から液晶駆動信号を出力する。クロック640発分の時間すなわちLOAD信号の周期が1水平走査期間1Hである。コモンドライバ8、10はデータ信号のかわりに第5図(ロ)に示すFRAME信号を与えられ該信号をLOAD信号をクロックパルスとして読み込む。すると出力である $O_1 \sim O_{100}$ に順次選択波形が現れ表示パネルのX軸電極線 $X_1 \sim X_{100}$ 、 $X'_1 \sim X'_{100}$ を順次選択する。LOAD信号が100発出力されX軸電極線の選択が一巡する期間が1フレームである。M信号は液晶に印加する電界を反転するための交流化信号で、第5図(ロ)に示すようにM信号が1フレーム毎に電位変化すると駆動波形は前述したB波形となり、M信号が1/2H迄に変化するとA波形となる。

本発明はこの交流化信号Mを工夫することにより従来欠点を除去しようというものである。

本発明の駆動方式においては液晶への印加電界を2H毎に反転する。そのようにするため必要な

交流化信号は1周期を4Hとし2H毎に電位が変化することになるが、このような信号は第6図 $\phi_0, \phi_1, \phi_2, \phi_3$ に示すように互いに1Hずつ位相のずれた4つの位相状態を持ち得る。本方式における交流化信号には第7図Mに示すように、この4つの位相状態が所定の時間ずつ順次周期的に現れる。第7図には同一の位相状態が持続する「所定の時間」を1フレームとした例である。第7図Mに示す交流化信号によって生じる液晶駆動波形をここではC波形と呼ぶことにする。

C波形を用いた時のX軸電極線駆動波形の極性反転の様子を第7図COM1~3に示す。

第9図は本発明による駆動方式の効果を示す図で第8図は第9図の説明のための図である。

第8図はB波形を用いた場合に液晶に印加される電圧 V_{100} を示した図で、液晶表示パネルのY軸上の表示パターンが1001(1:黒、0:白)の繰り返しであった場合の例である。 V_{100} の非選択タイミングt₁における波形が同一Y軸上の他のドットの表示パターンによって決定され、t₁

タイミング時の状態変化の回数の差が液晶への印加電圧の実効値の差となって表示の濃淡むらを生じている。そこで本発明によるC波形によった場合のt₁時の波形を交流化信号の各位相毎につき1周期分表わしたのが第9図である。本方式における交流化信号の周期は4Hであるから連結する4つのドットの表示パターンのすべてについて液晶への印加波形を調べれば良い。本方式においては交流化信号の4通りの位相を等しい時間ずつ選択していくから、各位相における液晶印加波形の状態変化数の和が等しければ印加電圧の実効値の差が生じないことになる。第9図を見ると明らかのように、すべての表示パターンに対して波形の状態変化の数の和は等しい。特に注目すべきなのは表示パターン1100、0110、0011において交流化信号の位相間で、液晶印加波形の状態変化数に、補正効果が生じていることである。このような補正効果は本方式特有のものである。

試みに本方式と同様の手法を用いて3H毎に極性反転させた場合を第10図に示す。3H毎の場

合交流化信号のとり得る位相は6通りあるが、第10図に示した3通りの位相の反転形が残りの3通りの位相なので、ここでは図に示した ϕ_1 、 ϕ_2 、 ϕ_3 の位相状態についてのみ調べてみる。図から明らかなように表示パターン111111の時は3通りの位相における状態変化数の和は6回であるのに対し表示パターン010101の時は12回と倍になってしまっている。すなわち3H毎に液晶印加電界の極性を反転した場合は、B波形と比較すればかなりの平均化効果は認められるものの、未だ液晶印加電圧実効値の表示パターン依存性を除去出来ていない。

第10図に示した3H毎に反転する方式は(従来技術)の項で述べたSID JAPAN……の資料にある方式と等しいものである。該SID資料の方式では1種類の位相の交流化信号の正転信号と反転信号を用いているが、行数が8で交流化信号の周期が6Hとしたため、フレーム信号と交流化信号が順次ずれて行き、その結果フレーム信号を基準に見ると交流化信号の6つの位相状態が

すべて現れたことになっている。

では本方式のように4Hの周期を持った交流化信号の場合はどうなるかと言うと行数8が周期4で割り切れしてしまうため、周期的に交流化信号を反転しても、2通りの位相状態しか現れないことになる。2H毎反転で2通りの位相状態しか用いなかった場合は第9図における ϕ_1 と ϕ_2 のみ、もしくは ϕ_1 と ϕ_3 のみの状態変化数の和を調べれば良い。すると第9図から明かなように表示パターン1100、0110、0011、1001のとき状態変化数が異なってしまう。従って縦に2ドットずつ黒、白を繰り返すようなパターンを表示した時は表示むらが生じることになる。一般に液晶マトリクス表示パネルは4で割られる行数で構成されることが多いため前記資料の方式では表示むらを完全に除去することは困難である。

又前記資料の方式では平均化のために6フレームを要している。これは約100msecに相当し応答性の速い液晶物質を用いた場合は問題となる。

一方、本方式においては位相状態を選択するように構成されているため、平均化のための必要時間は自由に選べる。本実施例においては4フレームで平均化する場合の波形を示したが、この方式で実用上の問題は生じない。

なお1/100 dutyで液晶パネルを駆動する場合B波形では100行毎反転なのに対し、本方式のC波形では2行毎反転となり、周波数が増加するため液晶パネル及び駆動回路の消費電力は増加する。そのため第4図Hに示した電源回路は第11図に示すようにオペアンプを用いて出力を低インピーダンス化した方式を用い、さらにオペアンプ出力にも1 μ F以上のコンデンサーを設ける必要がある。

現状の液晶マトリクス表示パネル駆動用LSIからは通常B波形用の交流化信号が出力されているが、本発明によるC波形用の交流化信号は通常用いられている信号から比較的容易に作り出すことが出来る。第12図はその結線具合を示した図で、交流化信号作成回路18の出力MOUTが交

流化信号である。なお、116は第4図のブロック16と14を合せたLCDモジュールブロックである。

第13図は交流化信号作成回路の実施例回路図で第14図は該回路のタイミングチャートである。

第13図において直列接続されたフリップフロップ30、32(以下、FFと略記する)がLOAD信号を1/4分周して、本発明による交流化信号周期である周期4Hの信号をつくるための回路で、他の部分は該信号の4つの位相状態をつくり出すための回路である。

FF34、36は交流化信号が同一の位相状態を持続する期間を決定するための信号を作成する回路部で、FRAME信号をLOAD信号で読み込んでF信号となし、該F信号を1/2分周して1/2F信号を作成している。1/2F信号の半周期の間交流化信号は同一位相状態を持続する。1/2F信号はB波形における交流化信号と同じ信号である。従ってB波形用の交流化信号が得られる場合はFF34、36は省略することが可能

である。1/2 F 信号はインバータ38、40抵抗 R_1 、 R_2 コンデンサ C_1 、 C_2 からなる遅延回路で遅延され、その結果FD、FDD信号が得られる。FD、FDD信号からexclusive-OR (以下 \oplus と略記する)ゲート42がF2R信号をつくる。該信号がFF32のリセット信号である。F2R信号と1/2 F信号とから、インバータ44、46、ゲート48、50によって、F1R信号とF1S信号とが作られる。F1R信号がFF30をリセットする信号、F1S信号が該FFをセットする信号である。

第6図に示した ϕ_1 、 ϕ_2 、信号のうち ϕ_1 、 ϕ_2 、信号はそれぞれ ϕ_1 、 ϕ_2 、信号の反転信号である。従って ϕ_1 、 ϕ_2 、信号を作成した後反転すれば ϕ_1 、 ϕ_2 、信号が得られる。F2信号には1フレーム毎に ϕ_1 、 ϕ_2 、信号の位相状態と ϕ_1 、 ϕ_2 、信号の位相状態とが現れる。第14図のタイミングチャートに示すように、第4Nフレームに ϕ_1 、 ϕ_2 、の位相が現出すると第4N+1フレームのはじめでFF30がセットされF1信号がHとなる。そのため

FF30、31で構成するカウンタの値が1進められたことと等価となり、F2信号は1H分位相が進む。第4N+1フレームにおけるF2信号の位相は第6図 ϕ_1 、 ϕ_2 、信号に等しい。第4N+2フレームのはじめでFF30がリセットされF1信号がLとなる。

この時FF32も同時にリセットされるためF2信号はLを保つ。このためFF30、31で構成するカウンタの値が1進められたことと等価となりF2信号は1H分位相が遅れ ϕ_1 、 ϕ_2 、信号の位相状態となる。同様にして第4N+3フレームにおいては ϕ_1 、 ϕ_2 、信号の位相状態となる。F2信号を2フレーム毎に反転すれば正転の2フレームで ϕ_1 、 ϕ_2 、信号の位相状態が得られ、反転の2フレームで ϕ_1 、 ϕ_2 、信号の反転した位相状態すなわち ϕ_1 、 ϕ_2 、信号の位相状態が得られる。従ってF2信号と1/4 F信号を \oplus ゲート52に入力すれば ϕ_1 、 ϕ_2 、の位相状態が順次現れるM信号が得られる。M信号が本発明によるC波形の交流化信号である。

なお ϕ_1 、 ϕ_2 、の位相状態を現出させる順番は種々の組合せがあり得る。

このように本発明による駆動方式は、従来からの液晶駆動用ICを用いたシステムに本実施例回路を付加することにより容易に実施出来る。

(発明の効果)

以上述べたように本発明によれば液晶への印加電圧実効値が表示パターンによって変化することがなくなるため濃淡むらのない表示が実現出来る。

4. 図面の簡単な説明

第1～3図は、従来の駆動方式を説明する図で、第1図および第2図は駆動波形図であり、第3図は表示状態の1例を示す説明図。

第4図～第9図および第11図、第14図は、本発明の実施例を示すもので、第4図は、液晶マトリクス表示パネル駆動システムを説明するブロック図。

第5図は、第4図を説明するための波形図。

第6、7、8、9図は本発明の駆動方式を説明するための波形図。

第10図は他の方式を本発明と比較して説明するための波形図。

第11図は本発明の駆動方式に適した電源回路図。

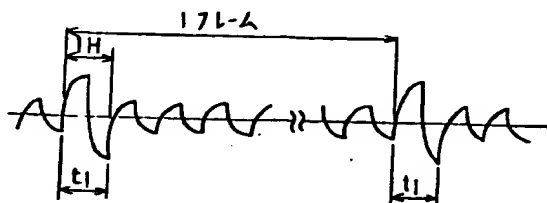
第12図および第13図は、本発明による駆動方式を実現するための要部回路図。

第14図は第13図の回路のタイミングチャート図。

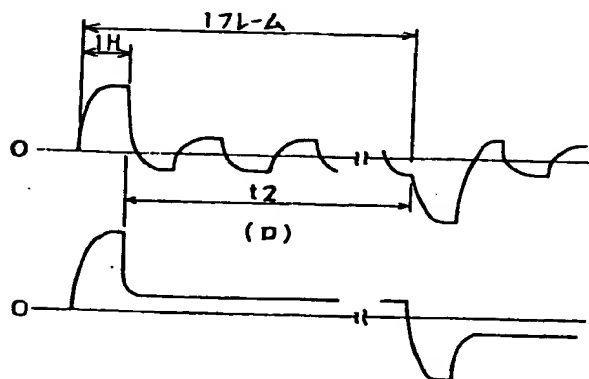
18 …… 交流化信号作成回路。

特許出願人 シチズン時計株式会社

第 1 図

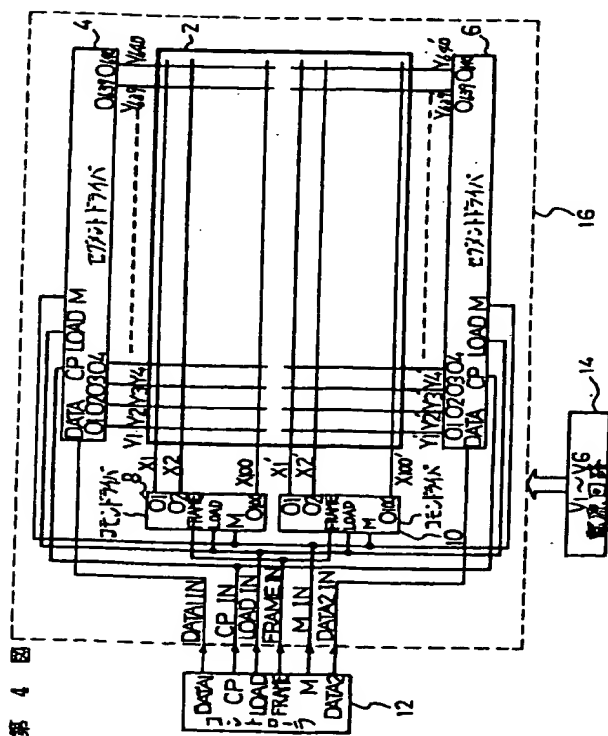
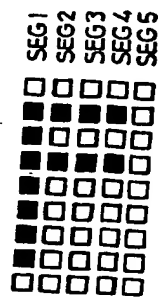


第 2 図
(1)



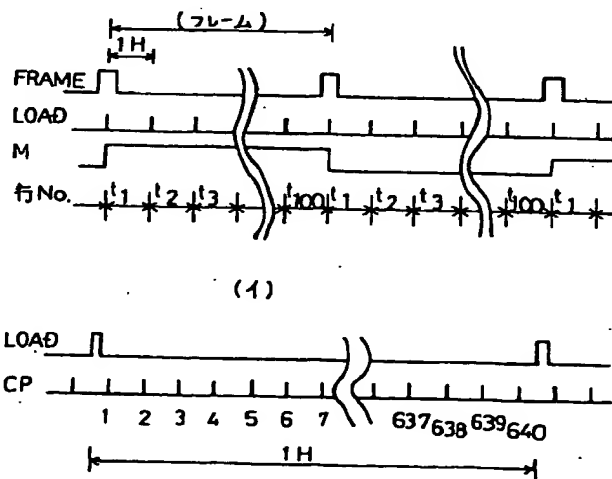
(D)

第 3 図



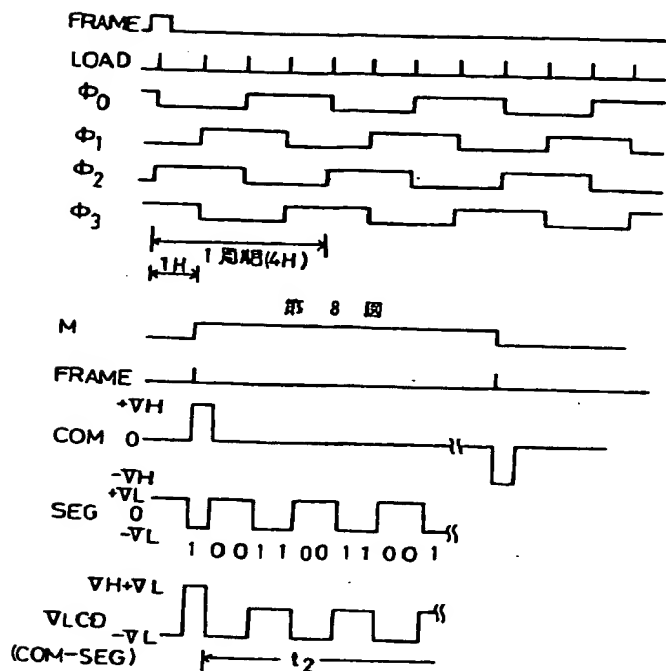
第 4 図

第 5 図
(D)

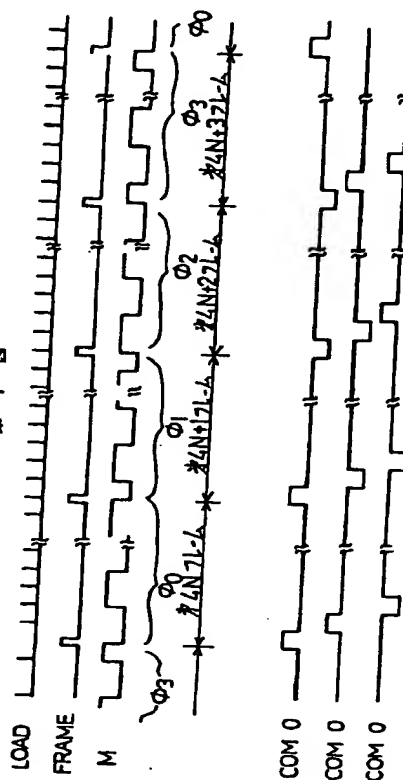


(1)

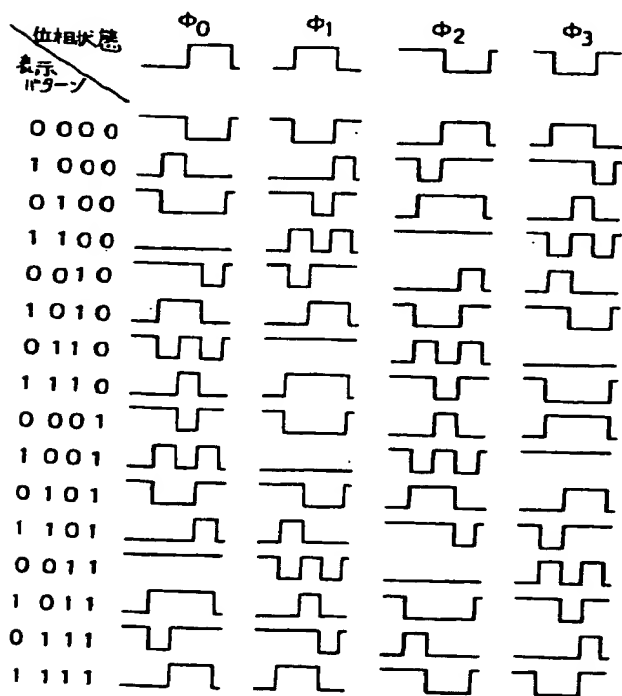
第 6 図



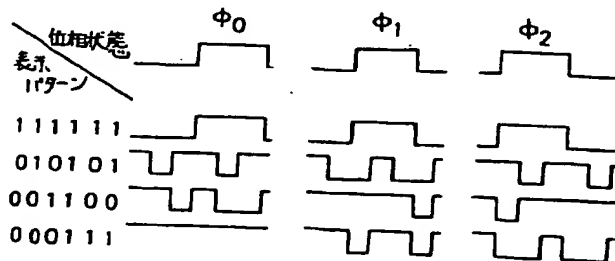
第 7 図



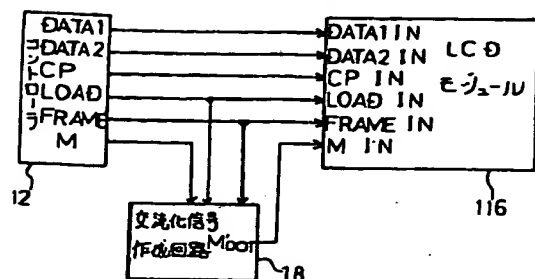
第 9 図



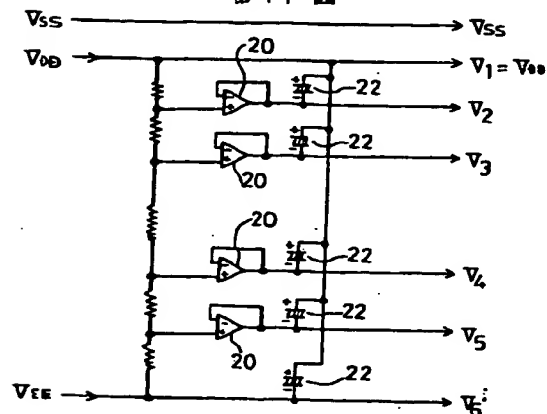
第 10 図



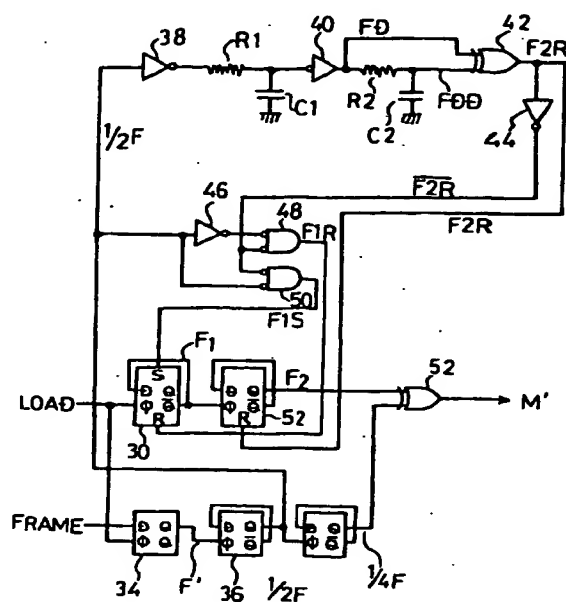
第 12 図



第 11 図



第 13 図



第 14 図

